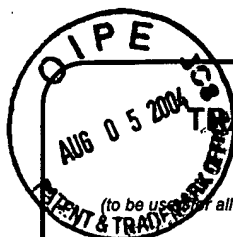


1FW

PTO/SB/21 (04-04)



# TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Total Number of Pages in This Submission	Application Number	10/773,800
	Filing Date	May 10, 2004
	First Named Inventor	Fan, Yuan-Heng
	Art Unit	2812
	Examiner Name	Not Yet Assigned
13	Attorney Docket Number	021653-003100US

## ENCLOSURES (Check all that apply)

<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) - 11 pages <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance Communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below): Return Postcard
Remarks: The Commissioner is authorized to charge any additional fees to Deposit Account 20-1430.		

## SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Townsend and Townsend and Crew LLP	
Signature	Richard T. Ogawa	Reg. No. 37,692
Date	8/2/04	

## CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name	TIFFANY WU		
Signature		Date	8.2.04

BEST AVAILABLE COPY

CERTIFIED COPY OF  
PRIORITY DOCUMENT

# 证 明

本证明之附件是向本局提交的下列专利申请副本

申 请 日 期： 2003. 12. 30

申 请 号 码： 2003101229679

申 请 类 别： 发明

发 明 名 称： 生产芯片级封装用焊垫的方法与装置

申 请 人： 中芯国际集成电路制造（上海）有限公司

发 明 人： 范远恒



中华人民共和国  
国家知识产权局局长

王 景 川

2004 年 6 月 25 日

- 1.一种集成电路芯片包括：  
一层衬底，该衬底包含有复数个芯片结构；  
复数个设于该衬底上的焊垫，每一个焊垫都由一种铝支撑材料组成；  
10 一个形成于每一个焊垫上的表面区域；  
一层覆于该表面区域上的底部凸起金属镀覆层；  
一层覆于该表面区域上的粘合层，该粘合层包含复数个由粘合层延伸  
出来并且设于该粘合层空间位置上的凸起物；  
一层覆于该粘合层上的凸块层，与该复数个凸起物机械相连。
- 15 2. 如权利要求 1 所述的芯片，其中该底部凸起金属镀覆层包括一  
层粘性材料，一层粘合材料，及一层保护材料。
3. 如权利要求 1 所述的芯片，其中每一个凸起物有一个预定的高  
度和宽度。
4. 如权利要求 1 所述的芯片，其中每一个凸起物有一个预定的高  
20 度，该高度范围为大约 15 到 20 微米。
5. 如权利要求 1 所述的芯片，其中每一个焊垫的尺寸大约为  
80\*80 微米。
6. 如权利要求 1 所述的芯片，其中该粘合层通过一个沉积或平面  
工艺形成。
- 25 7. 如权利要求 1 所述的芯片，其中该复数个凸起物防止凸块层从  
焊垫表面脱落的可能。
8. 如权利要求 1 所述的芯片，其中该复数个凸起物防止凸块层在  
回流制程期间从焊垫表面脱落的可能。
- 9.一种制作集成电路芯片的方法包括：  
30 提供一层衬底；  
形成覆于该衬底上的复数个焊垫，每一个焊垫由一种铝支撑材料制成  
并包括一个表面区域；  
形成一层覆于该表面区域上的底部凸起金属镀覆层；

- 5            形成一层覆于该表面区域上的粘合层，该粘合层包含复数个由粘合层延伸出来并且设于该粘合层空间位置上的凸起物；以及  
             形成一层覆于该粘合层上的凸块层，与该复数个凸起物机械相连。
  10.    如权利要求 9 所述的方法，其中该底部凸起金属镀覆层包含一层粘性材料，一层粘合材料，及一层保护材料。
  - 10        11.    如权利要求 9 所述的方法，其中每一个凸起物有一个预定的高度和宽度。
    12.    如权利要求 9 所述的方法，其中每一个凸起物有一个预定的高度，该高度范围为大约 15 到 20 微米。
    13.    如权利要求 9 所述的方法，其中每一个焊垫的尺寸大约为  
15    80\*80 微米。
    14.    如权利要求 9 所述的方法，其中该粘合层通过一个沉积或平面工艺形成。
    15.    如权利要求 9 所述的方法，其中该复数个凸起物防止凸块层从焊垫表面脱落的可能。
    - 20        16.    如权利要求 9 所述的方法，其中进一步包括：回流该凸块层，以使该凸块层通过所述复数个凸起物固定于所述表面区域上。

## 生产芯片级封装用焊垫的方法与装置

### 技术领域

10 本发明针对的是集成电路以及封装半导体器件的制程。更具体地说，本发明提供了一种微制程器、特定用途集成电路、存储器、混合信号应用等先进集成电路的连接结构的生产方法。但应认识到本发明具有更广泛的用途。

### 背景技术

15 集成电路已由在一个芯片上生产少量互相连接的器件而发展到数百万个器件。传统的集成电路提供的性能和复杂程度已远远超出了我们最初的想象。为了提高电路的复杂性和密度 (即，在一定芯片面积上所包含的器件数)，器件的最小特征尺寸，也称为器件的“几何形态”，随着每一代集成电路而变得越来越小了。

20 不断提高的电路密度已不仅增加了集成电路的复杂度和性能，而且也为消费者提供了更便宜的部件。一套集成电路或芯片制造设备可能花费数亿、甚至数十亿美元。每套制造设备有一定的芯片产出量，而每片芯片上会有一定数量的集成电路。因此，通过将一个集成电路上的每个器件做得更小，能使得一个晶圆上制作更多的器件，这样可增加制造设备的产量。要使器件更小很具挑战性，因为集成电路的每一制程都存在着一个极限。也就是说，通常一种制程只能做到某一特征尺寸，然后无论是制程还是器件布图都需要被改变。另外，由于器件需要越来越快的设计，某些传统制程、材料甚至封装都存在制造上的限制。

30 该制程的一个例子是一种使用芯片级封装的焊接凸块的集成电路封装，通常称为 CSP。在 CSP 实施例中包含但不限于卷带式承载封装“TCP”，以及倒装芯片。虽然该封装有某些益处，但仍存在许多局限性，这些局限包括可靠性以及良率的降低。这些局限的进一步细节将在本说明书的以下部分进行详述。

5 综上，可见需要一种改进的半导体器件的封装技术。

## 发明内容

本发明公开了于半导体器件生产中的集成电路封装技术。更具体地说，本发明提供了一种微制程器、特定用途集成电路、存储器、混合信号应用等先进集成电路的连接结构的生产方法。但应认识到本发明具有更广泛的应用等先进集成电路的连接结构的生产方法。但应认识到本发明具有更广泛的用途。

15 在一个特定实施例中，本发明包括了一种集成电路芯片。该芯片有一层衬底，例如硅，在绝缘层上的硅，外延生长的晶圆。该衬底有复数个芯片结构。复数个焊垫被放置在衬底上。每一个焊垫是由一种铝支撑材料或类似材料组成的。在每一个焊垫上会形成一层表面区域。一层凸起底部金属镀覆（“UBM”）将被覆于该表面区域上。接着在该 UBM 层上形成一层粘合层。该粘合层包含复数个从粘合层延伸出来的凸起物并且覆盖在粘合层的部分空间位置上。在粘合层之上形成一层凸块层，并且与该组凸起物产生机械锁合的相连。

20 在另一个特定的实施例中，本发明包括一种制造集成电路芯片的方法。该方法包含提供一层衬底并且在该衬底上形成复数个焊垫。每一块焊垫都是由一种铝支撑材料或类似材料组成，并且有一块表面区域。该方法同样在该表面区域上形成一层 UBM 层，并且形成一层包含复数个由粘合层延伸出来并且覆盖在粘合层部分空间位置上的凸起物的粘合层。在粘合层之上形成一层凸块层，并且与该组凸起物产生机械锁合的相连。

30 本发明相对于传统工艺有许多优势。例如：本发明在传统工艺基础上提供了更简单的制程。在一些实施例中，本方法提高了在被封装的冲模上的器件良率。另外，本方法提供了一种可以和传统加工工艺兼容的制程，从而无需更换传统设备和工艺。更佳的是，本发明提供了一种改良型的凸块结构，从而摆脱了传统器件可靠性及/或良率的问题。根据实施例，可以看到更多的益处。这些以及其他的益处在本说明书中被更详细的描述，以下将作更具体的说明。

通过参考以下详细的说明和附图，可以更彻底的理解本发明的各种其

5 他目的、特征和优点。

### 附图说明

- 图 1 是一个传统的内连线结构的截面示意图；  
图 2 和图 3 是根据本发明一个实施例的内连线结构的截面示意图；  
10 图 4 至图 8 所示为根据本发明一个实施例制作的内连线结构的方法。

### 具体实施方式

- 根据本发明，提供了一种微制程器、特定用途集成电路、存储器、混合信号应用等先进集成电路的连接结构的生产方法。但应认识到本发明具有更广泛的用途。  
15

- 图 1 是一个传统的内连线结构的截面示意图。如图所示，该传统器件包含一层衬底 100。一块焊垫 101 设于该衬底上。一层钝化层 103 覆于该衬底上并在该焊垫的区域上保留一个开口。该结构还在焊垫上覆有一层表面光滑的 UDP 层 105。一个凸块层 107 覆于该 UDP 层上。该传统的结构存在许多局限性。例如，该凸块结构经常会从 UDP 层上脱落，从而导致超额阻抗及可靠性和/或功能的问题。另外，在凸块或焊接回流时，凸块层经常会从 UDP 层脱落。这些以及其它的局限性已经暴露于传统的器件中。  
20

- 图 2 和图 3 是根据本发明一个实施例的内连线结构的截面示意图，如图所示，本内连线结构位于一层衬底 200 之上，例如硅，在绝缘层上的硅，外延生长的晶圆。该衬底有复数个芯片结构。复数个焊垫 201 被放置在衬底上。每一个焊垫是由一种铝支撑材料或类似材料组成的。在每一个焊垫上会形成一层表面区域。一层钝化层 207 覆于该衬底上并在该焊垫的部分保留一个开口。一层 UBM 层 209 被覆于该表面区域上。一层粘合层 203 被覆于该 UBM 层之上。该粘合层包含复数个由粘合层延伸出来并且覆盖在粘合层部分空间位置上的凸起物。一层凸块层 201 覆于该粘合层之上并且与该复数个凸起物机械相连。  
25  
30

根据应用的不同，每一个凸起物有一个预定的高度和宽度。每一个

5 凸起物同时还有一个特殊的形状。该形状的实施例如标号 211 和 213 所示。这些形状包括矩形和/或圆形的。该圆形形状为拥有较大上表面区域以及较小下表面区域的一个预定结构的半球形 213。形状 213 作为一个固定物来固定在该焊垫表面之上的焊垫层 201。参考图 3，每一个凸起物有一个高度 303 和宽度 301，将焊垫层固定在粘合层上。所示其他层包含粘合层 305 的其余部分、UBM 层 209、以及焊垫层 205。该粘合层可以由一种合适的材料制作，如镍，铂金，铜，以及钼。当然，使用的类型可以根据应用而定。制作本发明内连线结构的进一步说明将在本说明书下文中做更详细的描述。

15 一种根据本发明的实施例来制作内连线结构的方法可以被简单描述如下：

1. 提供一层衬底；
2. 形成复数个焊垫覆于该衬底之上，其中每一个焊垫都是由一种铝支撑材料或类似材料组成且包含一个表面区域；
3. 形成一层 UBM 层覆于该表面区域上；
- 20 4. 形成一层粘合层覆该 UBM 层上，该 UBM 层包含复数个由该粘合层延伸出来并且设于该粘合层空间位置上的凸起物；以及
5. 形成一层凸块层覆于该粘合层之上并且与该复数个凸起物机械相连；
6. 根据需要执行其他步骤。

25 以上顺序的步骤提供了一种根据本发明的一个实施例的方法。如图所示，该方法使用了一系列步骤组合包括一种含有先进接触结构的内连线结构的制作方式。还可有其他替换方法，其中加入某些步骤，移除一个或多个步骤，或者一个或多个步骤按照不同的顺序进行，均包含在本发明的权利要求的范围。本发明进一步的详细说明将在本说明书中可以找到，下文

30 中将作更详细的描述。

图 4 至图 8 所示为根据本发明一个实施例制作的内连线结构的方法。这些图仅作为示例，在这里其不应不适当地限制权利要求的范围。一个本领域的普通技术人员可以发现很多限制、变形和替代。如图所示，该方法



- 5 开始于提供一层衬底 401，例如，硅衬底，硅上绝缘层，外延生长硅。该衬底有一个上表面区域和一些主动器件。该方法包括在衬底之上形成复数个覆于该衬底的焊垫 503。每一块焊垫都是由一种铝支撑材料或类似材料组成。更优选的是，该焊垫有一块一定尺寸的表面区域。该尺寸大约为 100 微米\*100 微米或 80 微米\*80 微米或其他。该方法还包括形成一层钝化层 501 覆于该衬底的部分表面而暴露该焊垫的一部分，如图 5 所示。

10 参考图 6，该方法形成一层覆于表面区域之上的 UBM 层 601。该 UBM 层由一层有粘性材料，一层保护材料，以及一层粘合材料组成。这些材料的例子包括但不限于钛，铬，镍，铜，钼，铂，以及金。根据实施例的不同，也可以使用其他材料。如图进一步显示，该 UBM 层有一层表面区域 603。

其次，该方法形成一层覆于 UBM 层之上的粘合层 701，如图 7 所示。该粘合层包含复数个由粘合层延伸出来并且设于粘合层空间位置上的凸起物。根据实施例的不同，该粘合层可以通过多种技术形成。例如，该粘合层可以通过沉积的方法形成然后按图案形成该凸起物。另外，该粘合层可以使用选择性沉积的技术形成凸起物。也可以使用蚀刻和/或沉积的组合技术形成。这些及其他的技术可以被本领域的技术人员所熟知。

25 参考图 8，该方法还包含形成一层覆于粘合层上的凸块层 801。该凸块层还与该复数个凸起物 803 机械的相连。在接下来的回流或热制程过程中该凸块层将牢固的与凸起物相连并且不会分离或脱落。另外，该凸块层也完全避免了可靠性和/或良率等传统器件的相关困扰。

还应该认识到的是这里所描述的示例和实施例是仅用于说明的目的，而本领域的技术人员可以根据它们想到各种改进和改变，这些都被包括在本发明的精神与范围和所附权利要求的范围之内。

说明书附图

03NI0549

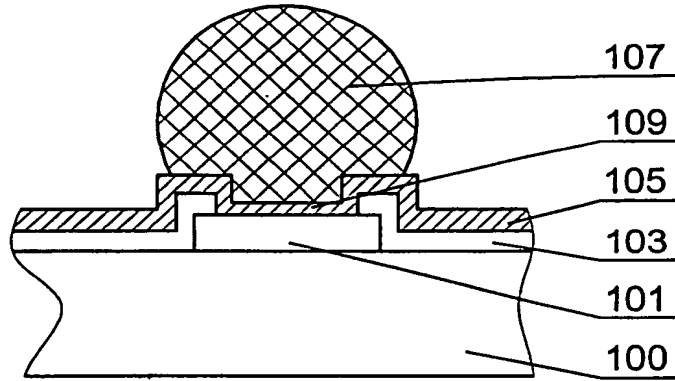


图 1

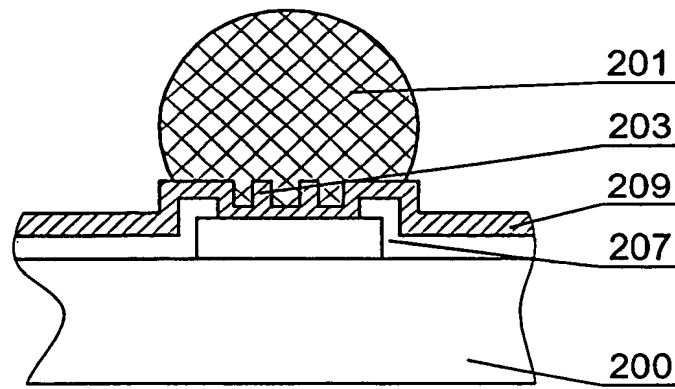


图 2

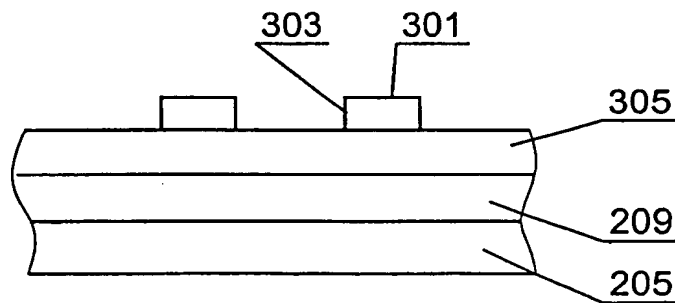
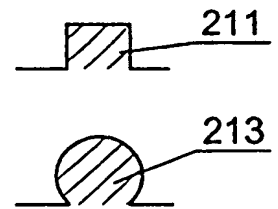


图 3

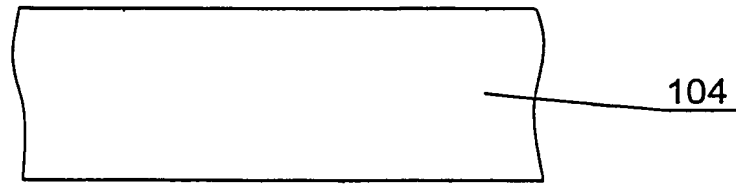


图4

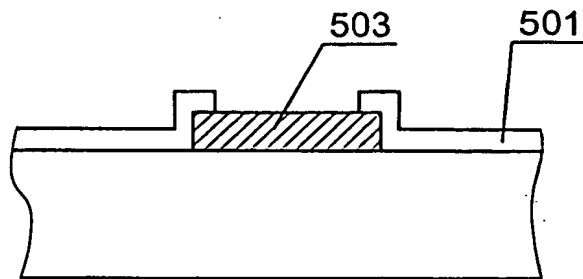


图5

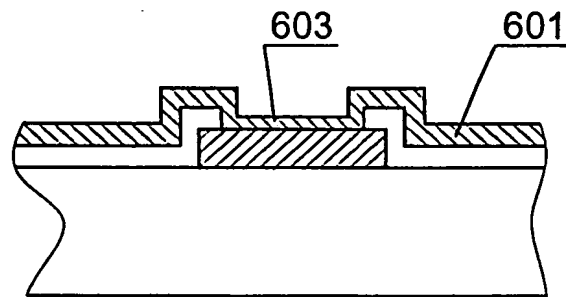


图6

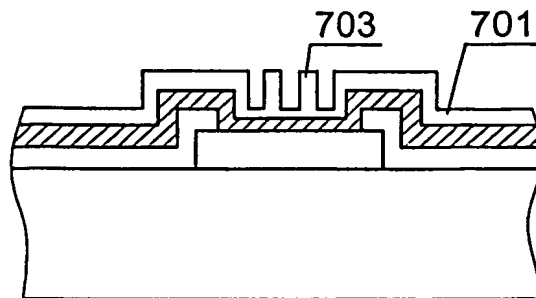


图7

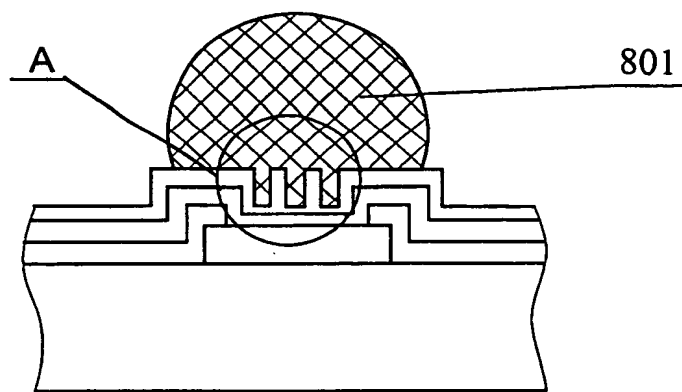
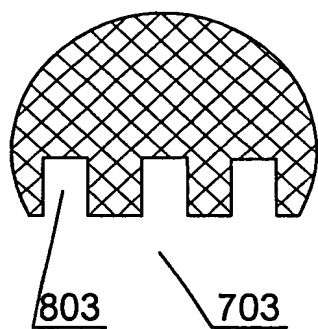


图 8



A放大